



SALEAGLE[®]4D20 FPGA

数据手册

上海安路信息科技股份有限公司

DS302 (v1.3.3) 2022 年 1 月

Confidential



目 录

目 录.....	1
1 简介.....	1
1.1 EG4D20 器件特性.....	1
1.2 EG4D20 器件介绍.....	2
2 EG4D20 架构介绍.....	3
3 EG4D20 交直流特性.....	3
4 EG4D20 内部 SDRAM.....	3
5 引脚和封装.....	6
5.1 引脚定义.....	6
5.2 EG4D20EG176 FPGA 引脚列表.....	7
5.3 EG4D20EG176 封装尺寸.....	12
6 订购信息.....	13
7 版本信息.....	15
免责声明.....	15



1 简介

1.1 SALEAGLE®4（以下简称 EG4）D20 器件特性

- 灵活的逻辑结构
 - 19600 LUTs.
- 低功耗器件
 - 先进的 55nm 低功耗工艺
 - 静态功耗低至 5mA
- 丰富的片内存储空间
 - 64 块 9Kb 嵌入式 RAM (ERAM9K), 16 块 32Kb 嵌入式 RAM
 - 128Mb DDR SDRAM 存储空间
 - 最大 156.8Kb 分布式 RAM
- 可配置逻辑模块 (PLBs)
 - 优化的 LUT4/LUT5 组合设计
 - 双端口分布式存储器
 - 支持算数逻辑运算
 - 快速进位链逻辑
- 嵌入式乘法器
 - 29 个 18 x 18 乘法器, 支持 9X9 模式
 - 最高 250MHz
- 源同步输入/输出接口
 - 输入/输出单元包含 DDR 寄存器
 - Generic DDRx1
 - Generic DDRx2
- 高性能, 灵活的输入/输出缓冲器
 - 支持热插拔
 - 可配置上拉/下拉模式
- 片内 100 欧姆差分电阻
- 时钟资源
 - 16 个全局时钟
 - 4 个 PLLs 用于频率综合
 - 5 路时钟输出
 - 分频系数 1 到 128
 - 支持 5 路时钟输出级联
 - 动态相位选择
- 嵌入式硬核 IP
 - ADC
 - 12 比特逐次逼近寄存器型 (SAR)
 - 最多 8 个模拟输入
 - 1MHz 采样速率 (MSPS)
 - 集成电压监控模块
 - 内置环形振荡器
- 配置模式
 - 主模式串行 PROM (MS)
 - 主模式串行 SPI (MSP1)
 - 从模式串行 (SS)
 - 主模式并行 x8 (MP)
 - 从模式并行 x8 (SP)
 - JTAG 模式 (IEEE-1532)
 - 支持双启动和多启动模式
- BSCAN



- 兼容 IEEE-1149.1
- 封装
 - eTQFP176

表 1-1- 1 EG4D20 器件资源

General feature	EG4D20EG176	EG4D20EG176B
Number of FFs	19,600	19,600
Number of LUTs	19,600	19,600
Number of Dis-Ram bits	156,800	156,800
Number of ERAM (9k)	64	64
Number of ERAM (32k)	16	16
Total EBR bits	1,088k	1,088k
Number of M18x18	29	29
Total Configuration SRAM (bits)	4,988,928	4,988,928
PLL	4	4
Low-skew GCLK	16	16
EM SDRAM	8Mx16bits	8Mx16bits
User IO Banks	8	8
Maximum user IOs	135	135

表 1-1- 2 EG4D20 FPGA 封装

Packages	EG4D20EG176	EG4D20EG176B
176TQFP (20x20, 0.4mm pitch)	135/41	135/41

注：表示用户可用 IO 数/用户可用差分输出（LVDS）对



1.2 EG4D20 器件介绍

安路科技的 EG4D20 FPGA，是基于安路科技成熟可靠的低成本、低功耗可编程 FPGA—EG4X20，采用最新的 3D 合封技术，与一块 8M X 16bits 的 SDRAM 合封而成。EG4D20 拥有更小，更简单可靠的器件封装，更大的内嵌存储容量，特别适用于大容量，高速数据的采集、传输和变换等应用。

特色优势

- ◆ 多品种，大容量的内置存储空间
 - 内置 128Mb DDR SDRAM 存储空间，16 位数据总线宽度，最高 200Mhz 工作频率，最大读写带宽高达 800MB/s
 - 内置 64 块 ERAM9K 随机读写 RAM，可配置为真双口，简单双口，单口 RAM 和 FIFO 工作模式，位宽可配置为 512x18, 1Kx9, 2Kx4, 4Kx2, 8Kx1, 最高频率 250Mhz
 - 内置 16 块 32Kb RAM，可配置为单口 RAM, 双口 RAM，可独立配置为 2Kx16 或者 4Kx8
- ◆ 更小封装，更多 IO，更利于 PCB 布线的引脚排布
 - eLQFP176 封装，EPAD 接地，最多达 135 个用户 IO
 - 支持 True LVDS，最高频率 800Mbps
 - eLQFP176 封装，0.4mm 引脚间距，封装尺寸 20mm X 20mm
 - 优化的引脚排布，使得只需要两层 PCB 即可轻松使用器件所有 IO
 - 支持简单低成本的 SPI FLASH 配置；上电配置后，FLASH 可作为用户使用。
- ◆ 集成多种专用 IP
 - 集成 12BIT SAR 型 ADC，采样率可达 1MHz，最多支持 8 个输入通道复用
 - 集成电源监控模块，可对指定 BANK 电压监控
 - 集成内部环型振荡器



2 EG4D20 架构介绍

同 EG4X20，详情请参考 EG4 数据手册

3 EG4D20 交直流特性

同 EG4X20，详情请参考 EG4 数据手册

4 EG4D20 内部 SDRAM

EG4D20 内嵌一片 8M x 16bit 的 DDR SDRAM (W9412G6KH)，最高 200Mhz 工作频率，最大读写带宽高达 800MB/s，EG4D20EG176B 内部 SDRAM 型号 EM6A9160GDD。SDRAM 与 FPGA 通过软件深度整合，所以如果要使用 SDRAM，只需要在 IP generate 中例化，或者在顶层实例化如下 IP 模块即可。该 IP 的原型如下：

```
EG_PHY_SDRAM_128 U_EG_PHY_SDRAM_128 (
    .clk(SD_CLK),           // SDRAM 差分时钟正端 1bit 位宽
    .clk_n(SD_CLK_N),      // SDRAM 差分时钟负端 1bit 位宽
    .ras_n(SD_RAS_N),      // SDRAM 行选通 1bit 位宽
    .cas_n(SD_CAN_N),      //SDRAM 列选通 1bit 位宽
    .we_n(SD_WE_N),        //SDRAM 写使能 1bit 位宽
    .cs_n(SD_CS_N),        //SDRAM 片选信号 1bit 位宽
    .addr(SD_SA),          //SDRAM 地址 11bits 位宽
    .ba(SD_BA),            // SDRAM BANK 地址 2bits 位宽
    .dq(SD_DQ),            //SDRAM 数据 16 bits 位宽
    .ldqs(SD_LDQS),        // SDRAM 低字节数据选通信号 1bit 位宽
    .udqs(SD_UDQS),        // SDRAM 高字节数据选通信号 1bit 位宽
    .ldm(SD_LDM),          // SDRAM 低字节数据屏蔽信号 1bit 位宽
```



```
. udm(SD_UDM), // SDRAM 高字节数据屏蔽信号 1bit 位宽
. cke(SD_CKE) // SDRAM 时钟使能 1bit 位宽
```

);

表 4- 1 SDRAM 引脚分配

SDRAM 引脚名称	SDRAM 引脚描述	引脚连接	数据方向
DQ0	数据脚 0	与 IP 相连	双向
DQ1	数据脚 1	与 IP 相连	双向
DQ2	数据脚 2	与 IP 相连	双向
DQ3	数据脚 3	与 IP 相连	双向
DQ4	数据脚 4	与 IP 相连	双向
DQ5	数据脚 5	与 IP 相连	双向
DQ6	数据脚 6	与 IP 相连	双向
DQ7	数据脚 7	与 IP 相连	双向
DQ8	数据脚 8	与 IP 相连	双向
DQ9	数据脚 9	与 IP 相连	双向
DQ10	数据脚 10	与 IP 相连	双向
DQ11	数据脚 11	与 IP 相连	双向
DQ12	数据脚 12	与 IP 相连	双向
DQ13	数据脚 13	与 IP 相连	双向
DQ14	数据脚 14	与 IP 相连	双向
DQ15	数据脚 15	与 IP 相连	双向
ADDR0	地址脚 0	与 IP 相连	输出
ADDR1	地址脚 1	与 IP 相连	输出
ADDR2	地址脚 2	与 IP 相连	输出
ADDR3	地址脚 3	与 IP 相连	输出
ADDR4	地址脚 4	与 IP 相连	输出
ADDR5	地址脚 5	与 IP 相连	输出
ADDR6	地址脚 6	与 IP 相连	输出
ADDR7	地址脚 7	与 IP 相连	输出
ADDR8	地址脚 8	与 IP 相连	输出
ADDR9	地址脚 9	与 IP 相连	输出
ADDR10	地址脚 10	与 IP 相连	输出
ADDR11	地址脚 11	与 IP 相连	输出
BA0	BANK 地址脚 0	与 IP 相连	输出
BA1	BANK 地址脚 1	与 IP 相连	输出



WE_N	写使能	与 IP 相连	输出
RAS_N	行选通	与 IP 相连	输出
CAS_N	列选通	与 IP 相连	输出
CLK	芯片时钟正端	与 IP 相连	输出
CLK_N	芯片时钟负端	与 IP 相连	输出
LDQS	低字节数据选通	与 IP 相连	双向
UDQS	高字节数据选通	与 IP 相连	双向
LDM	低字节数据屏蔽	与 IP 相连	输出
UDM	高字节数据屏蔽	与 IP 相连	输出
CKE	时钟使能	与 IP 相连	输出
CS_N	芯片片选	与 IP 相连	输出

安路科技提供 DDR 访问的 DDR Controller 和 DDR PHY 可灵活实现对 DDR SDRAM 的访问，如有需要请与安路技术支持联系。



5 引脚和封装

5.1 引脚定义

表 4-1- 1 引脚定义规则

引脚名称	方向	描述
普通 I/O		
NC	—	无连接
GND	—	电源地
VCC	—	内部核心模块电源
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
VCC_PLLX	—	PLL 电源
GND_PLLx	—	PLL 地
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
MSEL [2:0]	输入	下载模式选择
PROGRAMN	输入	全局复位输入，低有效
CCLK	I/O	
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路



5.2 EG4D20EG176/B FPGA 引脚列表

编号	BANK ^{注1}	名称	功能描述	最小系统需要
1	1	VCC	内核电源	是
2	1	IO_L1N_1	通用 IO	
3	1	IO_L1P_1	通用 IO	
4	1	IO_L2N_1	通用 IO	
5	1	DDR_VREF	DDR 参考电压, 1/2 VDD	是
6	1	IO_L2P_1	通用 IO	
7	1	VCCIO1	2.5-3.3V BANK1 IO 电源	是
8	1	IO_L1_1	通用 IO	
9	1	GND	芯片地	是
10	1	IO_L3P_1, DONE	配置完成/通用 IO	
11	1	IO_L3N_1	通用 IO	
12	1	VCCIO1	2.5-3.3V BANK1 IO 电源	是
13	1	GND	芯片地	是
14	1	IO_L4P_1	通用 IO	
15	1	IO_L4N_1	通用 IO	
16	1	IO_L5N_1	通用 IO	
17	1	IO_L5P_1	通用 IO	
18	1	VCCIO1	2.5-3.3V BANK1 IO 电源	是
19	1	IO_L2_1	通用 IO	
20	1	VCC	内核电源	是
21	1	GND	芯片地	是
22	2	IO_L1P_2, GCLKIO_L_5	通用 IO	
23	2	IO_L1N_2, GCLKIO_L_4	通用 IO	
24	2	VCCIO2	2.5-3.3V BANK2 IO 电源	是
25	2	IO_L1_2, GCLKIO_L_6	通用 IO	
26	2	IO_L2P_2	通用 IO	
27	2	IO_L2N_2	通用 IO	
28	2	IO_L3P_2	通用 IO	
29	2	IO_L3N_2	通用 IO	
30	2	IO_L4N_2	通用 IO	
31	2	IO_L4P_2	通用 IO	
32	2	IO_L2_2	通用 IO	
33	2	GND	芯片地	是
34	2	VCCIO2	2.5-3.3V BANK2 IO 电源	是



35	2	I0_L3_2	通用 I0	
36	2	I0_L5N_2	通用 I0	
37	2	I0_L5P_2	通用 I0	
38	2	GND	芯片地	是
39	2	I0_L4_2	通用 I0	
40	2	VCC102	2.5-3.3V BANK2 I0 电源	是
41	2	I0_L6N_2	通用 I0	
42	2	I0_L6P_2	通用 I0	
43	2	I0_L5_2, JTAG_TDO	JTAG 接口/通用 I0	是
44	2	I0_L6_2, JTAG_TMS	JTAG 接口/通用 I0	是
45	-	VCCAUX	辅助电源	是
46	3	I0_B1_3, JTAG_TDI	JTAG 接口/通用 I0	是
47	3	I0_B2_3, JTAG_TCK	JTAG 接口/通用 I0	是
48	3	VCC	内核电源	是
49	3	I0_BE1N_3	通用 I0	
50	3	I0_BE1P_3	通用 I0	
51	3	I0_BE2N_3	通用 I0	
52	3	I0_BE2P_3	通用 I0	
53	3	I0_BE3P_3	通用 I0	
54	3	I0_BE3N_3	通用 I0	
55	3	I0_B3_3	通用 I0	
56	3	I0_B4_3	通用 I0	
57	3	I0_BE4N_3	通用 I0	
58	3	I0_BE4P_3	通用 I0	
59	3	VCC103	BANK3 I0 电源	是
60	3	I0_BE5N_3, GCLK10B_4	通用 I0	
61	3	I0_BE5P_3, GCLK10B_5	通用 I0	
62	4	I0_BE1N_4, GCLK10B_2	通用 I0	
63	4	I0_BE1P_4, GCLK10B_3	通用 I0	
64	4	I0_B1_4	通用 I0	
65	4	VCC	内核电源	是
66	4	I0_B2_4	通用 I0	
67	4	VCC104	BANK4 I0 电源	是
68	4	I0_BE2P_4	通用 I0	
69	4	I0_BE2N_4	通用 I0	
70	4	I0_BE3P_4	通用 I0	
71	4	I0_BE3N_4	通用 I0	



72	4	I0_B3_4	通用 I0	
73	4	I0_BE4N_4	通用 I0	
74	4	I0_BE4P_4	通用 I0	
75	4	I0_BE5N_4	通用 I0	
76	4	I0_BE5P_4	通用 I0	
77	4	I0_BE6N_4	通用 I0	
78	4	I0_BE6P_4	通用 I0	
79	4	I0_BE7P_4	通用 I0	
80	4	VCCI04	BANK4 I0 电源	是
81	4	I0_BE7N_4	通用 I0	
82	4	I0_BE8N_4	通用 I0	
83	4	I0_BE8P_4	通用 I0	
84	4	I0_BE9N_4	通用 I0	
85	4	VCC	内核电源	是
86	4	I0_BE9P_4	通用 I0	
87	4	VCCAUX	辅助电源	是
88	4	I0_B4_4, HSWAPEN	程序加载时 I0 状态选择	
89	5	I0_R1N_5	通用 I0	
90	5	I0_R1P_5	通用 I0	
91	5	I0_R1_5	通用 I0	
92	5	VCC	核心电源	是
93	5	I0_R2P_5	通用 I0	
94	5	I0_R2N_5	通用 I0	
95	5	I0_R3N_5	通用 I0	
96	5	VCCI05	2.5-3.3V BANK5 电源	是
97	5	I0_R3P_5	通用 I0	
98	5	I0_R4P_5	通用 I0	
99	5	I0_R4N_5	通用 I0	
100	5	I0_R5P_5	通用 I0	
101	5	I0_R5N_5	通用 I0	
102	5	I0_R6N_5	通用 I0	
103	5	I0_R6P_5	通用 I0	
104	5	I0_R2_5	通用 I0	
105	5	VCCI05	2.5-3.3V BANK5 电源	是
106	5	I0_R7P_5	通用 I0	
107	5	I0_R7N_5	通用 I0	
108	5	VCCI05	2.5-3.3V BANK5 电源	是



109	5	I0_R3_5	通用 I0	
110	5	I0_R8N_5	通用 I0	
111	5	I0_R8P_5	通用 I0	
112	5	I0_R4_5	通用 I0	
113	6	VCC	核心电源	是
114	6	I0_R1_6	通用 I0	
115	6	I0_R2_6	通用 I0	
116	6	GND	芯片地	是
117	6	VCCI06	2.5-3.3V BANK6 电源	是
118	6	I0_R3_6	通用 I0	
119	6	I0_R4_6	通用 I0	
120	6	VCCI06	2.5-3.3V BANK6 I0 电源	是
121	6	I0_R1P_6	通用 I0	
122	6	I0_R1N_6	通用 I0	
123	6	I0_R2N_6	通用 I0	
124	6	I0_R2P_6	通用 I0	
125	6	VCCI06	2.5-3.3V BANK6 I0 电源	是
126	6	I0_R3P_6	通用 I0	
127	6	I0_R3N_6	通用 I0	
128	6	VCC	核心电源	是
129	6	I0_R4N_6	通用 I0	
130	6	I0_R4P_6	通用 I0	
131	6	I0_R5P_6	通用 I0	
132	6	I0_R5N_6	通用 I0	
133	7	I0_TE1P_7	通用 I0	
134	7	I0_TE1N_7, PROGRAM_B	通用 I0/芯片复位	是
135	7	VCCAUX	辅助电源	是
136	7	I0_TE2P_7	通用 I0	
137	7	VCC	核心电源	是
138	7	I0_TE2N_7	通用 I0	
139	7	I0_TE3P_7, INITB	通用 I0	
140	7	I0_TE3N_7, CS0_B	FLASH 片选/通用 I0	
141	7	I0_T1_7	通用 I0	
142	7	VCCI07	BANK7 I0 电源	是
143	7	I0_T2_7	通用 I0	
144	7	I0_TE4P_7	通用 I0	
145	7	I0_TE4N_7	通用 I0	

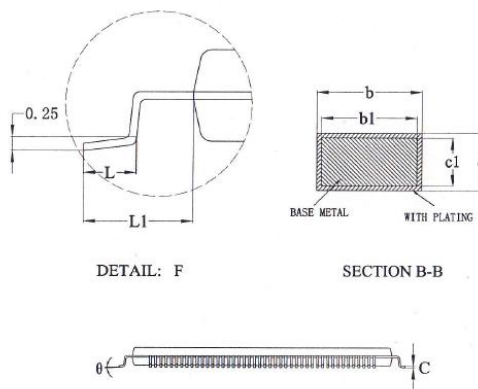
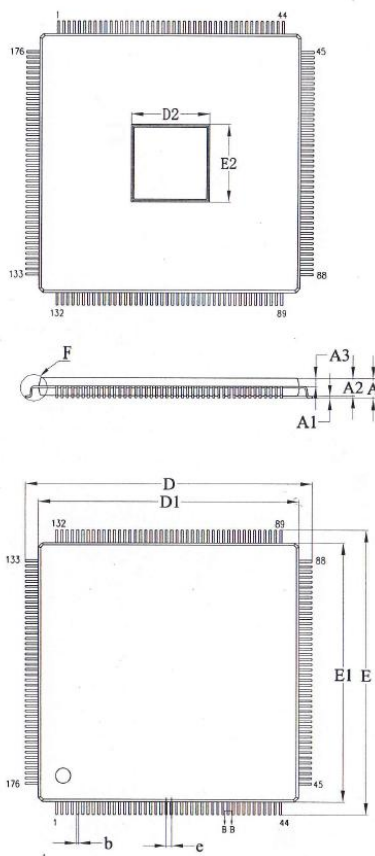


146	7	IO_TE5P_7, D3	通用 IO	
147	7	IO_TE5N_7, D4	通用 IO	
148	7	IO_T3_7	通用 IO	
149	7	IO_TE6P_7	通用 IO	
150	7	IO_TE6N_7	通用 IO	
151	7	IO_T4_7	通用 IO	
152	7	IO_TE7P_7, D7	通用 IO	
153	7	IO_TE7N_7	通用 IO	
154	7	VCCIO7	BANK7 IO 电源	是
155	7	IO_TE8N_7, D6	通用 IO	
156	7	IO_TE8P_7, D5	通用 IO	
157	7	IO_T5_7, GCLKIOT_7	通用 IO	
158	7	IO_TE9N_7, GCLKIOT_4	通用 IO	
159	7	IO_TE9P_7, GCLKIOT_5	通用 IO	
160	7	VCCIO7	BANK7 IO 电源	是
161	7	IO_T6_7, GCLKIOT_0	通用 IO	
162	7	IO_TE10P_7, GCLKIOT_3	通用 IO	
163	7	IO_TE10N_7, GCLKIOT_2	通用 IO	
164	8	VCC	核心电源	是
165	8	IO_T1_8, DO_DIN_MISO	FLASH 数据输出/通用 IO	
166	8	IO_T2_8, MOSI, CSI_B	FLASH 数据输入/通用 IO	
167	8	VCCIO8	BANK8 IO 电源	是
168	8	IO_T3_8, CCLK	FLASH 时钟/通用 IO	
169	8	IO_T4_8, MO	模式选择/通用 IO	
170	8	IO_T5_8, M1, ADC_CH_0	配置模式选择/ADC 输入	
171	8	VCCIO8	BANK8 IO 电源	是
172	8	ADC_REF, D1, ADC_CH_5	ADC 参考电压输入	是
173	8	IO_T6_8, GPLL1_CLKIN0, ADC_CH_4	ADC 输入/通用 IO	
174	8	IO_T7_8, D2, ADC_CH_7	通用 IO	
175	8	VCCAUX	辅助电源	是
176	8	IO_T8_8, GPLL1_CLKIN1, ADC_CH_6	ADC 输入/通用 IO	
177		GND_EPAD	芯片地 PAD	是

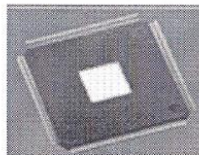
注 1: BANK1, BANK2, BANK5, BANK6 内部连在一起, 必须使用相同电压且电压范围为 2.5V-3.3V, BANK3 的 IO 电压与 VCCAUX 在内部连在一起的, 因此 VCCIO3 需要等于 VCCAUX 电压, 可以为 3.3V 或者 2.5V。其余 BANK 可支持 1.2V, 1.5V, 1.8V, 2.5V, 3.3V IO 电平。



5.3 EG4D20EG176/B 封装尺寸



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	0.10	0.15
A2	1.30	1.40	1.50
A3	0.59	0.64	0.69
b	0.14	—	0.22
b1	0.13	0.16	0.19
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.40BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°



Pin Pitch (mm)	D2	E2
236*236	6.00REF	6.00REF
290*290	7.00REF	7.00REF



6 订购信息

表 6- 1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级
EG4	D	20	EG176	I

■ 产品系列

◇ EAGLE 系列

■ 类别

◇ D 内置 DDR SDRAM

■ 查找表容量

◇ 20 20K 查找表

■ 封装类型: <类型><#>

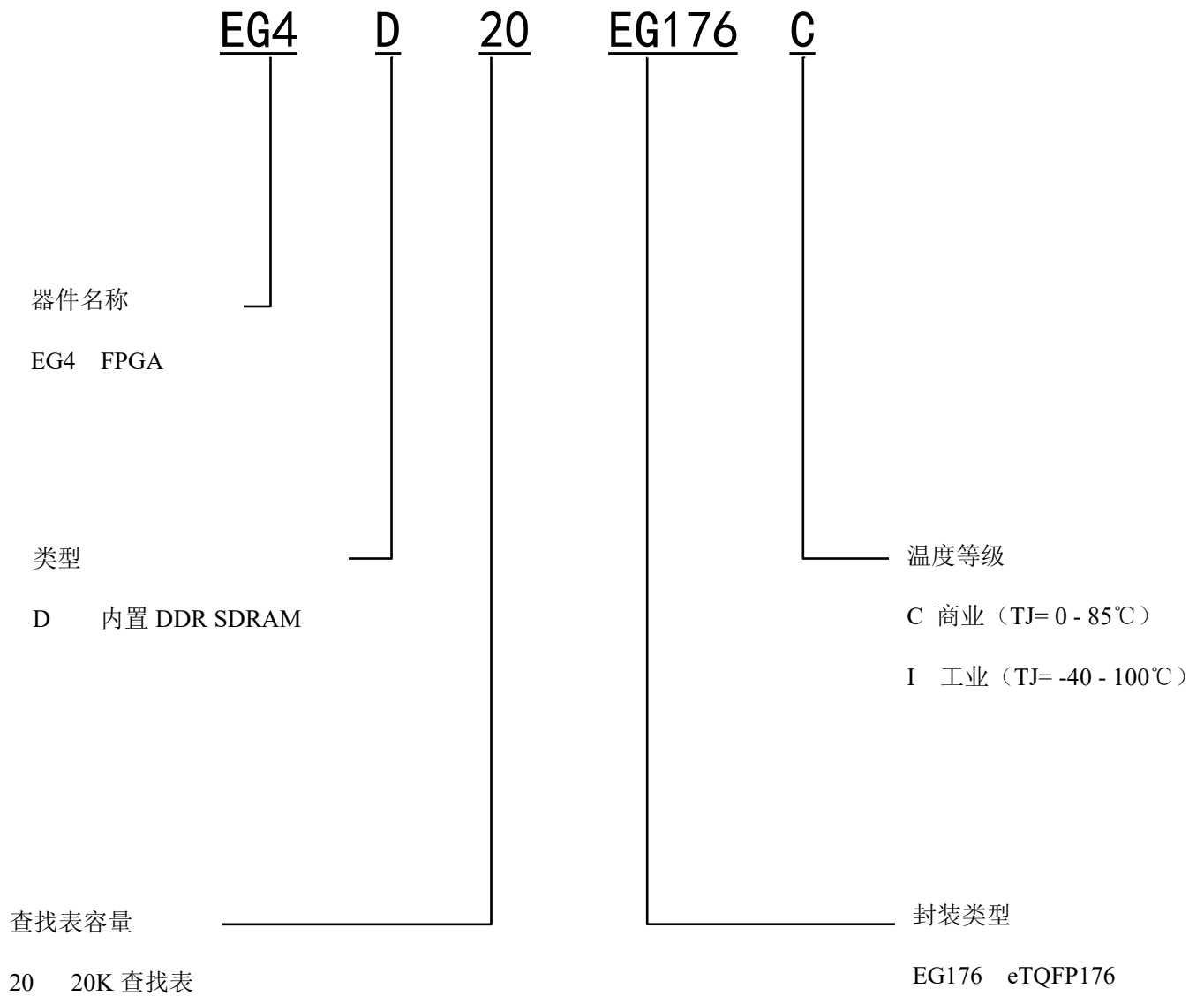
◇ EG eTQFP

◇ # 引脚数 (176 指 176 个引脚)

■ 温度等级

◇ C 商业 (TJ = 0 - 85 °C)

◇ I 工业 (TJ = -40 - 100 °C)



注：EG4D20EG176B 的封装和引脚与 EG4D20EG176 完全一样，两者差别只是内部合封的 SDRAM 型号不一样；EG4D20EG176 内部合封的 SDRAM 型号为 W9412G6KH，EG4D20LG176B 内部合封的 SDRAM 型号为 EM6A9160GDD。



7 版本信息

日期	版本	修订记录
2019/3/13	1.0	调整文档格式，添加新的引脚命名规则，修改所有引脚命名
2019/3/29	1.1	添加 EG4D20 内置 DDR SDRAM 型号说明
2019/4/28	1.2	取消等效 LUT4 说明，统一采用 LUT4/LUT5 物理数目表示 EMB、BRAM 统一修改为 ERAM
2019/9/20	1.3	DDR SDRAM 相关 BANK 供电限制由 2.5V 变更为 2.5-3.3V
2021/7/22	1.3.1	增加 EG4D20EG176B 器件相关信息
2021/11/16	1.3.2	增加引脚表注释 1 中对于 BANK 电压限制的描述，要求 BANK1, BANK2, BANK5, BANK6 必须同电压
2022/1/4	1.3.3	修正封装描述错误；

版权所有©2021 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。